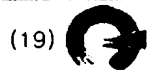


BEST AVAILABLE COPY



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010064123 A
(43)Date of publication of application: 09.07.2001

(21)Application number: 1019990062256
(22)Date of filing: 24.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: CHO, HO YEOP
KIM, PIL JUNG
KWON, O WON
LEE, CHANG HYEOK
OH, JIN GEUN
PARK, JAE SEOK
WEE, JAE GYEONG

(51)Int. Cl. G11C 11/40

(54) DELAY LOCKED LOOP WITH REDUCED POWER DISSIPATION

(57) Abstract:

PURPOSE: A delay locked loop with reduced power dissipation is provided to reduce the power dissipation during active and stand-by modes by operating a delay locked loop with separate signals in different modes.

CONSTITUTION: The low power delay locked loop includes a command generator(410), a delay modeler(420), a controller(430), a shift controller(440), and a delay-locked loop changer(160). The command generator(410) generates a measure active signal and a command delay active signal for driving delay chains selectively with response to an internal clock signal generated from a power up signal and a clock buffer, a signal activated at auto refresh mode, a signal activated at self refresh mode and a signal activated at power down mode. The delay modeler(420) generates a signal delayed by a time until the internal clock is generated from an outer clock with response to the measure active signal and the internal clock signal. The controller(430) receives the measure active signal, the copy delay active signal, the internal clock signal, the delay signal, and the shift signal to generate a signal for controlling the delay locked loop. The shift controller(440) receives the second internal clock signal having a pulse with corresponding one period of the internal clock signal and generates the shift signal and a shift reset signal. The delay-locked loop changer receives the control signal from the controller(430), the shift signal and the shift reset signal to adjust the time delay.

COPYRIGHT 2001 KIPO

Legal Status

AL

Date of final disposal of an application (20020130)
Patent registration number (1003337080000)
Date of registration (20020410)

공개특허 제2001-64123호(2001.07.09) 1부.

[첨부그림 1]

특 2001-0064123

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.
G11C 11/40

(11) 공개번호 특2001-0064123
(43) 공개일자 2001년07월09일

(21) 출원번호	10-1999-0062256
(22) 출원일자	1999년12월24일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 마미리 산136-1 조호엽
(72) 발명자	서울특별시서초구서초2동1360번지16호로얄주택A동201 위재경 서울특별시광진구광장동위커피빌딩신아파트2-602 이창혁 경기도이천시중포동대우2차아파트206-303 권오원 경기도안양시만안구안양1동진흥아파트8-504 오진근 경기도이천시대월면용암리9701화아파트103-1503 박재석 서울특별시광진구자양1동776-10번지 김필중 광주광역시서구금호동742-2시영월반아파트503-804
(74) 대리인	특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허 법인 신성 박정호, 특허법인 신성 정지원

실사검구 : 있음

(54) 전력 소모를 감소시킨 지연고정루프

요약

본 발명은 반도체메모리 장치의 지연고정루프에 관한 것으로 동기식 디램(SDRAM)의 각 모드에 따른 신호를 발생하는 명령발생부를 사용함으로써 각 모드에 따라 다르게 지연고정루프를 동작시킬 수 있어서 액티브나 파워다운 모드에서 지연고정루프의 소모하는 전력을 감소시킬 수 있다. 이를 위하여 본 발명은 반도체메모리 장치에 있어서, 파워업신호와 클럭 버퍼로부터 생성된 내부클럭신호와 오토 리프레쉬 모드에서 활성화되는 신호와 셀프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 응답하여 각각의 모드에서 지연제인을 선택적으로 구동시키기 위한 측정활성화신호와 복사지연활성화신호를 생성하는 명령발생부; 상기 측정활성화신호와 상기 내부클럭신호에 응답하여 외부 클럭으로부터 내부클럭이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호를 생성하기 위한 딜레이모듈부; 상기 측정활성화신호와 복사지연활성화신호와 상기 내부클럭신호와 딜레이신호와 하기 쉬프트신호를 입력받아서 지연고정루프제어부를 제어하기 위한 신호를 발생하는 제어부; 상기 제어부로부터의 내부클럭신호의 한 주기만큼의 펄스폭을 갖는 제2내부클럭신호를 입력받아서 쉬프트신호와 쉬프트리셋신호를 생성하기 위한 쉬프트제어부; 및 상기 제어부로부터의 제어신호와 상기 쉬프트제어부로부터의 쉬프트신호와 쉬프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프제어부를 포함하는 것을 특징으로 한다.

도면

도1

제1부

제어부, 쉬프트제어부, 딜레이모듈부, 명령발생부, 지연고정루프제어부.

명세서

도면의 간단적 설명

도 1은 증례기술품의 자연고정루프의 블록도,

도2는 오토 리프레쉬(Auto Refresh) 모드에서 종래기술의 지면고정루프에 대한 신호 흐름을 나타내는 타이밍도.

도3은 종래 기술의 지연고정루프의 신호 흐름을 나타내는 타이밍도,

도4는 본 발명의 자연고정루프의 블록도,

도五是 오토 리프레쉬(Auto Refresh) 모드에서 본 발명의 지연조정루프에 대한 신호 흐름을 나타내는 타이밍도.

도6은 본 발명의 지연고정루프의 신호 흐름을 나타내는 타이밍도,

도7은 본 발명의 명령발생부의 회로도,

도8은 본 발명의 제어부의 회로도,

도구는 본 발명의 자연고정루프체인부의 회로도,

도 10a는 본 발명의 슈프트제어부의 회로도,

도 10b는 본 발명의 쉬프트제어부의 또 다른 실시예를 나타내는 회로도.

• 도면의 주요 부분에 대한 부호의 설명 •

410 : 명령발생부

430 : 제어부 440 : 소프트웨어제어부

본명의 상세권 설명

발행의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

보 발명인은 반도체에 모리 장치에 관한 것으로, 특히 저전력 지연고정루프에 관한 것이다.

SDR(Single Data Rate) SDRAM, DDR(Double Data Rate) SDRAM, RAMBUS DRAM등의 고주파에서 동작이 가능한 메모리장치가 개발되고 있는데, 동작 주파수가 점차 고주파로 가면서 집에서 소비되는 전력에 관한 문제

일반적으로 자연고정투표판 만도체메오리 장치에서 블록을 사용하는 동기식메오리의 내부블록을 에러없이 외부블록과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 블록이 내부에서 사용될때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 블록이 외부에서 들어오는 블록과 동일하게 동기식메오리 하기 위해서 사용한다.

도1은 종래 기술의 지연고정루프의 블록도이다.

상기 도1을 참조하면, 종래기술의 지연고정루프는 협에 파위가 인가되는 것을 감지하여 협을 초기화하기 위한 파워업신호(power)를 출력하는 파워업감지부(100a), 상기 파워업신호(power)와 외부의 클럭신호(EX_CLK)와 하기의 내부클럭신호(cik)를 입력받아 클럭비퍼를 인에이팅하기 위한 클럭활성화신호(cik_en)와 지연고정루프를 활성화시키기 위한 활성화신호(BN)를 출력하는 클럭활성화부(110)와, 상기 클럭활성화신호(cik_en)와 외부의 클럭을 입력받아 비 버퍼링하기 위한 클럭비퍼(120)와, 상기 활성화신호(BN)와 클럭비퍼로부터의 내부클럭신호(cik)를 입력받아 위상 클럭으로부터 내부클럭이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호(cik_delay)를 생성하기 위한 딜레이모듈부(130)와, 상기 활성화신호(BN)와 내부클럭신호(cik)와 상기 딜레이신호(cik_delay)와 하기의 쉬프트제어부(150)로부터의 쉬프트신호(shift)를 입력받아 지연고정루프프레임부(160)를 제어하기 위한 제어부(140)와, 상기 제어부(140)로부터의 제2내부클럭신호(cik2)를, 입력받아 지연고정루프프레임부(160) 내에 있는 쉬프트제어부를 제어하기 위한 쉬프트제어부(150)와, 상기 제어부(140)로부터의 제2내부클럭신호(cik2)와 상기 제어부(140)로부터의 제2딜레이신호(cik_delay)와 상기 제어부(140)로부터의 제3내부클럭신호(cik3_to_dil)를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프프레임부(160)와, 지연고정루프프레임부(160)로부터의 프리지연고정루프프레임신호(pre_dil)와 바이패스신호(bypass)를 입력받아 지연고정루프클럭신호(dil_cik)를 생성하기 위한 지연고정루프비퍼(170)를 구비한다.

도2는 오토 리프레쉬(Auto Refresh) 모드에서 종래기술의 지연고정무늬에 대한 신호 흐름을 나타내는 타이밍도이다.

상기 도2를 참조하면, 먼저 오토 리프레쉬 임을 알려주는 오토리프레쉬신호(arsh)가 논리 하이로 활성화

되면 오프 리프레쉬 모드로 진입한다. 상기 오토리프레쉬신호(erash)가 활성화되면 합성화신호(EN)가 활성화되고, 상기 딜레이모듈부(130)로부터 출력된 딜레이신호(cik_dly)가 활성화되며, 상기 딜레이신호(cik_dly)로부터 딜레이신호(cik_dly)의 한 주기만큼의 펄스폭을 갖는 제2딜레이신호(cik_dly2)가 합성화된다. 또한, 내부클럭신호(cik)의 한 주기만큼의 펄스폭을 갖는 제2내부클럭신호(cik2)가 합성화되고, 상기 제2내부클럭신호(cik2)의 출력 예지에서 상기 쉬프트신호(shift)가 펄스를 발생한다.

상기의 합성화신호(EN)는 내부클럭신호에 동기되지 않고 오토리프레쉬신호(erash)가 인에이블되면 활성화되는 신호이므로 오토리프레쉬신호(erash)가 인에이블되는 시점에 따라서 도2의 (a), (b)에서 도시된 것과 같이 제2내부클럭신호(cik2)와 제2딜레이신호(cik_dly2)의 펄스가 뜨는 시점을 다르게 한다.

도3은 종래 기술의 지연고정루프의 신호 흐름을 나타내는 타이밍도이다.

상기 도3을 참조하여 지연고정루프체인부(160)의 동작에 대하여 살펴보면, 상기 제2내부클럭신호(cik2)의 출력 예지에서 상기 쉬프트신호(shift)가 펄스를 발생하고, 상기 쉬프트신호(shift)의 출력예지에서 쉬프트리셋신호(shift_rst)가 발생한다. 상기 제2내부클럭신호(cik2)와 상기 제2딜레이신호(cik_dly2)의 논리합이 펄스가 증폭되는 구간으로부터 상기 지연고정루프체인부(160)내에 있는 지연체인 측정단(900)이 구동하여서 클럭의 전파를 시작하고, 상기 쉬프트신호(shift)가 지연고정루프체인부(160) 내에 있는 쉬프트 레지스터를 구동시켜서 딜레이라인으로부터 입력되는 클럭신호를 쉬프트시킨다. 상기 쉬프트리셋신호(shift_rst)는 상기 쉬프트신호(shift)의 출력 예지에서 활성화되므로 지연고정루프체인부(160) 내에 있는 쉬프트 레지스터가 리셋되지 않아서 불명확한 지연고정루프클럭이 생기게 된다.

상기와 같은 구성과 동작을 갖는 지연고정루프는 액티브(Active) 모드에서 뿐만 아니라 파워다운(power-down) 모드나 리프레쉬(refresh) 모드에서 전류를 동일하게 소모하도록 되어 있다. 즉 액티브 동작시나 스탠바이(Stand-by) 동작에서 소비되는 전류가 동일하다면 최근에 스탠바이 모드나 오프 리프레쉬(Auto-refresh) 모드에서나 셀프 리프레쉬(Self refresh) 모드에서 저전력을 요구하고 있는 요즘 상황으로 볼 때 문제가 되는 것은 자명하다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 액티브(Active)와 스탠바이(Stand-by) 상태에서의 전력 소모를 감소하기 위한 지연고정루프를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 지연고정루프는 반도체메모리 장치에 있어서, 파워업신호와 클럭버퍼로부터 생성된 내부클럭신호와 오프 리프레쉬 모드에서 활성화되는 신호와, 셀프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 응답하여 각각의 모드에서 지연체인을 선택적으로 구동시키기 위한 측정활성화신호와 특사지연활성화신호를 생성하는 명령발생부; 상기 측정활성화신호와 상기 내부클럭신호에 응답하여 외부 클럭으로부터 내부클럭이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호를 생성하기 위한 딜레이모듈부; 상기 측정활성화신호와 특사지연활성화신호와 상기 내부클럭신호와 딜레이신호와 상기 쉬프트신호를 입력받아서 지연고정루프체인부를 제어하기 위한 신호를 발생하는 제어부; 상기 제어부로부터의 내부클럭신호의 한 주기만큼의 펄스폭을 갖는 제2내부클럭신호를 입력받아서 쉬프트신호와 쉬프트리셋신호를 생성하기 위한 쉬프트제어부; 및 상기 제어부로부터의 제어신호와 상기 쉬프트제어부로부터의 쉬프트신호와 쉬프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프체인부를 포함하는 것을 특징으로 한다.

이와 같이 본 발명은 커맨드디코더를 사용함으로써 디램(DRAM)의 각 모드에 따라 지연고정루프를 적절하게 동작시키기 때문에 지연고정루프의 사용에 장애가 되는 과도한 전류 소모 문제를 해결할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도4는 본 발명의 지연고정루프의 블록도이다.

상기 도4를 참조하면, 본 발명의 지연고정루프는 처음 파워가 인가되는 것을 감지하여 처음 초기화하기 위한 파워업신호(pwrup)를 출력하는 파워업감지부(100)와, 상기 파워업신호(pwrup)와 외부의 클럭신호(EXCLK)와 하기의 내부클럭신호(cik)를 입력받아 클럭버퍼를 인에이블하기 위한 클럭활성화신호(cik_en)를 출력하는 클럭활성화부(400)와, 상기 클럭활성화신호(cik_en)와 외부의 클럭을 입력받아서 버퍼링하기 위한 클럭버퍼(120)와, 상기 파워업신호(pwrup)와 내부클럭신호(cik)와 오토리프레쉬신호(erash)와 셀프리프레쉬신호(sref)와 반클럭활성화신호(ckerb)와 상기 쉬프트신호(shift)를 입력받아 각각의 모드에 따라서 제어부(140)를 제어하기 위한 명령발생부(410)와, 상기 명령발생부로부터의 측정활성화신호(EN_meas)와 클럭버퍼로부터의 내부클럭신호(cik)를 입력받아 외부 클럭으로부터 내부클럭이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호(cik_dly)를 생성하기 위한 딜레이모듈부(420)와, 상기 측정활성화신호(EN_meas)와 상기 명령발생부(410)로부터의 특사지연활성화신호(EN_rep)와 내부클럭신호(cik)와 상기 딜레이신호(cik_dly)와 상기 쉬프트제어부(150)로부터의 쉬프트신호(shift)를 입력받아 지연고정루프체인부(160)를 제어하기 위한 제어부(430)와, 상기 제어부(430)로부터의 제2내부클럭신호(cik2)를 입력받아 지연고정루프체인부(160) 내에 있는 쉬프트레지스터를 제어하기 위한 쉬프트제어부(440)와, 상기 제어부(430)로부터의 제2내부클럭신호(cik2)와 상기 제어부(430)로부터의 제2딜레이신호(cik_dly2)와 상기 제어부(430)로부터의 제3내부클럭신호(cik_to_dli)를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프

제어부(160)와, 자연고정루프제어부(160)로부터의 프리자연고정루프신호(pre_dli)와 바이패스신호(bypassb)를 입력받아 자연고정루프클럭신호(dli_clk)를 생성하기 위한 자연고정루프제어부(170)를 구비한다.

종래의 자연고정루프에서 각 모드에 따라서 동작시키기 위한 명령발생부(410)가 새로 추가되었으며 각각의 모드에 따라서 딜레이의 측정 과정과 복사지연 과정을 독립적으로 활성화시키기 위해서 측정활성화신호(EN_mea)와 복사지연활성화신호(EN_rep)를 따로 생성시킨다.

도5는 오토 리프레쉬(Auto Refresh) 모드에서 본 발명의 자연고정루프에 대한 신호 흐름을 나타내는 타이밍도이다.

상기 도5를 참조하면, 먼저 오토 리프레쉬 임을 알려주는 오토리프레쉬신호(arsh)가 논리 하이로 활성화되면 오토 리프레쉬 모드로 진입한다. 상기 오토리프레쉬신호(arsh)가 활성화되면 측정활성화신호(EN_mea)가 활성화되고, 상기 딜레이모듈부(420)로부터 출력된 딜레이신호(cik_dly)가 활성화되며 상기 딜레이신호(cik_dly)로부터 딜레이신호의 한 주기만큼의 펄스폭을 갖는 제2딜레이신호(cik_dly2)가 활성화된다. 또한, 내부클럭신호(cik)의 한 주기만큼의 펄스폭을 갖는 제2내부클럭신호(cik2)가 활성화되고 상기 제2내부클럭신호(cik2)의 플립 애지에서 상기 쉬프트신호(shift)가 펄스를 발생한다.

도6은 본 발명의 자연고정루프의 신호 흐름을 나타내는 타이밍도이다.

상기 도6을 참조하면, 상기 제2내부클럭신호(cik2)의 플립 애지에서 상기 쉬프트신호(shift)가 펄스를 발생하고 쉬프트리셋신호(shift_rst)가 발생한다. 상기 제2내부클럭신호(cik2)와 상기 제2딜레이신호(cik_dly2)의 논리 하이 펄스가 중첩되는 구간으로부터 상기 자연고정루프제어부(160)내에 있는 딜레이라인이 구동하면서 플록의 전파를 시작하고 상기 쉬프트신호(shift)가 자연고정루프제어부(160) 내에 있는 쉬프트 레지스터를 구동시켜서 딜레이라인으로부터 입력되는 클럭신호를 쉬프트시킨다.

도7은 본 발명의 상기 명령발생부(410)의 회로도이다.

상기 도7을 참조하면, 본 발명의 명령발생부는 상기 내부클럭신호(cik)를 입력받아 클럭펄스신호(cikp)를 생성하기 위한 제1펄스발생단(700)과, 상기 쉬프트신호(shift)를 반전시켜서 반쉬프트신호(shiftb)를 생성하는 인버터(710)와, 셀프 리프레쉬 모드에서 활성화되는 셀프리프레쉬신호(sref)와 반플록활성화신호(ckenb)와 라스(RAS) 스턴바이 상태에서 활성화되는 라스미립스신호(rasidle)를 입력받아 제어신호(pdb)를 생성하는 제어단(720)과, 상기 파워업신호(perup)와 상기 오토리프레쉬신호(arsh)와 상기 제어신호(pdb)와 상기 반쉬프트신호(shiftb)와 상기 클럭펄스신호(cikp)에 응답하여 파워다운 모드(power-down mode) 진입시나 오토리프레쉬 모드나 셀프리프레쉬 모드에서 상기 측정활성화신호(EN_mea)를 비활성화시키고 파워다운 모드를 벗어나고 플록의 6 사이클이내에서 상기 측정활성화신호(EN_mea)를 활성화시키기 위한 제1입력단(730)과, 상기 파워업신호(perup)와 상기 제어신호(pdb)와 상기 반쉬프트신호(shiftb)와 상기 클럭펄스신호(cikp)를 입력받고 하기 카운터단(760)의 출력신호인 카운터활성화신호(cnt_endb)를 피드백받아 파워다운 모드에서 벗어나고 플록의 6 사이클 이후에 상기 측정활성화신호(EN_mea)를 비활성화시키기 위한 제2입력단(740)과, 상기 파워업신호(perup)와 상기 제어신호(pdb)와 상기 오토리프레쉬신호(arsh)와 상기 클럭펄스신호(cikp)를 입력받아 파워다운 모드나 오토 리프레쉬 모드나 액티브 모드에서 자연고정루프제어부(160) 내에 있는 복사지연단을 활성화시키기 위한 제3입력단과, 상기 제2입력단(740)의 출력과 내부클럭신호(cik)를 입력받아 플록의 6 사이클을 카운팅하기 위한 카운터단(760)과, 상기 제1입력단(730)의 출력신호와 상기 제2입력단(740)의 출력신호를 입력받아 측정활성화신호(EN_mea)를 출력하기 위한 출력단(770)을 구비한다.

도8은 본 발명의 제어부(430)의 회로도이다.

상기 도8을 참조하면, 제어부(430)는 상기 딜레이모듈부(420)로부터의 딜레이신호(cik_dly)와 상기 측정활성화신호(EN_mea)에 응답하여 상기 딜레이신호(cik_dly)의 한 주기에 해당하는 펄스폭을 갖는 제2딜레이신호(cik_dly2)를 생성하기 위한 제1디틀플롭플립단(800)과, 상기 내부클럭신호(cik)와 상기 측정활성화신호(EN_mea)에 응답하여 상기 내부클럭신호(cik)의 한 주기에 해당하는 펄스폭을 갖는 제2내부클럭신호(cik2)를 생성하기 위한 제2디틀플롭플립단(810)과, 상기 복사지연활성화신호(EN_rep)와 상기 내부클럭신호(cik)와 상기 쉬프트신호(shift)에 응답하여 복사지연활성화신호(EN_rep)가 활성화된 후부터 제3내부클럭신호(cik_to_dli)를 생성하기 위한 제3내부클럭생성단(820)을 구비한다.

도9는 본 발명의 자연고정루프제어부(160)의 회로도이다.

상기 도9를 참조하면, 본 발명에 따른 자연고정루프제어부는 크게 3 부분으로 구성된 계층적 구조를 가진다. 즉, 상기 제2딜레이신호(cik_dly2)와 상기 제2내부클럭신호(cik2)를 입력받아 딜레이시키는 지연체인 측정단(900)과, 상기 쉬프트신호(shift)와 쉬프트리셋신호(shift_rst)와 상기 제3내부클럭신호(cik_to_dli)에 응답하여 쉬프트하는 쉬프트로 구성된 쉬프트 및 룩업단(910)과, 상기 지연체인 측정단(900)과 같은 딜레이로 이루어진 지연체인복사단(920)으로 구성되어 있다. 이들 각 구성요소가 연결되어 하나의 스테이지를 형성하고, 각 스테이지가 직렬연결된 구조를 가지고 있다.

상기 지연체인 측정단(900)과 쉬프트 및 룩업단(910)은 상기 제2내부클럭신호(cik2)와 상기 제2딜레이신호(cik_dly2)의 펄스폭을 지연시켜서 전파하는 기능을 수행하는 부분으로서, 지연체인 측정단의 각 지연 스테이지의 출력을 저장하고 아래의 3 입력 노드(NOR)로 전달하는 쉬프트로 구성되어 있다. 도9에 도시된 바와 같이 쉬프트는 쉬프트리셋신호(shift_rst)가 논리 로우인 동안 입력을 받아들이고 저장하고, 상기 쉬프트신호(shift)가 뜨면 다음 스테이지로 저장한 값을 옮긴다. 한편, 쉬프트리셋신호(shift_rst)가 뜨면, 쉬프트에 저장된 값들은 초기치인 논리 로우인 상태로 돌아간다. 도9의 맨 아래부분은 맨 위의 지연체인 측정단(900)과 똑 같은 지역을 갖도록 만들어진 지연체인 복사단(920)으로 외부클럭이 이 지연체인 복사단(920)을 통해서 들어지는 것이 자연고정루프클럭신호가 된다.

상기 도6을 참조하여 자연고정루프제어부(160)의 동작을 살펴보면, 지연체인 측정단(900)의 각 스테이지의 출력값을 나타내는 A1, B1, C1, D1의 펄스는 각 지연체인을 거칠수록 하이 레벨로의 전이가 늦어지면서 결국 펄스폭이 좁아지게 되고 노드 미이상은 하이 레벨이 나타나지 않고 있다. 한편, 쉬프트의 출력

은 3-입력-노아게이트로 입력되어 제2내부클럭신호(cik_to_d1)이 나감 수 있으나 어느나를 결정하게 된다. 이렇게 결정된 제2내부클럭신호(cik_to_d1)는 아래의 지연체인 텍사단(920)에서 상기 제2내부제어신호(cik2)에서 제2딜레이신호(cik_dly2)의 하이 레벨이 중첩되기 시작한 시점에서 중첩이 끝난 시점까지의 시간 지연 값과 같은 수의 지연체인을 통과하므로 원하는 지연고정루프 클럭인 프리지연고정루프신호(pre_d1)를 생성하게 된다.

도 10a는 본 발명의 슈프트제어부(440)의 회로도이다.

상기 도 10a를 참조하면, 본 발명의 슈프트제어부(440)는 상기 제2내부클럭신호(cik2)의 라미징 에지에서 상기 슈프트리셋신호(shift_rst)를 띄우는 펄스생성단(1000)과 상기 제2내부클럭신호(cik2)의 플립 에지에서 상기 슈프트신호(shift)를 띄우는 펄스생성단(1010)을 구비한다.

도 10b는 본 발명의 슈프트제어부(440)의 또 다른 실시예를 나타내는 회로도이다.

상기 도 10b를 참조하면, 슈프트제어부(440)는 상기 복사지연활성화신호(en_rep)가 상승하는 에지에서 상기 슈프트리셋신호(shift_rst)를 한번 띄우기 위한 펄스생성단(1020)과, 상기 제2내부클럭신호(cik2)의 플립 에지에서 상기 슈프트신호(shift)를 띄우는 펄스생성단(1030)과, 상기 슈프트신호(shift)의 플립 에지에서 상기 슈프트리셋신호(shift_rst)를 띄우는 펄스생성단(1040)을 구비한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

본 발명의 효과

상기와 같이 본 발명은 동적식 디램(DRAM)의 각 모드에 따른 신호를 발생하는 명령발생부를 사용함으로써 각 모드에 따라 다르게 지연고정루프를 동작시킬 수 있어서 액티브나 파워다운 모드에서 지연고정루프의 소모하는 전류를 감소시킬 수 있다.

(5) 청구의 범위

청구항 1

반도체메모리 장치에 있어서,

파워업신호와 클럭 버퍼로부터 생성된 내부클럭신호와 오토 리프레쉬 모드에서 활성화되는 신호와 셀프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 응답하여 각각의 모드에서 지연체인을 선택적으로 구동시키기 위한 측정활성화신호와 복사지연활성화신호를 생성하는 명령발생부;

상기 측정활성화신호와 상기 내부클럭신호에 응답하여 외부 클럭으로부터 내부클럭이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호를 생성하기 위한 딜레이모듈부;

상기 측정활성화신호와 복사지연활성화신호와 상기 내부클럭신호와 딜레이신호와 하기 슈프트신호를 입력받아서 지연고정루프체인부를 제어하기 위한 신호를 발생하는 제어부;

상기 제어부로부터의 내부클럭신호의 한 주기만큼의 펄스폭을 갖는 제2내부클럭신호를 입력받아서 슈프트신호와 슈프트리셋신호를 생성하기 위한 슈프트제어부; 및

상기 제어부로부터의 제어신호와 상기 슈프트제어부로부터의 슈프트신호와 슈프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프체인부

를 포함하여 이루어진 지연고정루프.

청구항 2

상기 제 1 항에 있어서,

상기 명령발생부는,

상기 내부클럭신호를 입력받아 클럭펄스신호(cikp)를 생성하기 위한 제1펄스발생단;

상기 슈프트신호를 반전시켜서 반슈프트신호를 생성하는 인버터;

셀프 리프레쉬 모드에서 활성화되는 셀프리프레쉬신호와 라스(RAS) 스턴바이 상태에서 활성화되는 라스미들신호를 입력받아 제어신호(pdb)를 생성하는 제어부;

상기 파워업신호와 상기 오토리프레쉬신호와 상기 제어신호(pdb)와 상기 반슈프트신호와 상기 클럭펄스신호(cikp)에 응답하여 파워다운 모드 진입시나 오토리프레쉬 모드나 셀프리프레쉬 모드에서 상기 측정활성화신호를 비활성화시키고 파워다운 모드를 벗어나고 클럭의 6 사이클이내에서 상기 측정활성화신호를 활성화시키기 위한 제1입력단;

상기 파워업신호와 상기 제어신호(pdb)와 상기 반슈프트신호와 상기 클럭펄스신호(cikp)를 입력받고 하기 카운터단의 클럭신호인 카운터활성화신호(cnt_endb)를 피드백받아 파워다운 모드에서 벗어나고 클럭의 6 사이클 이후에 상기 측정활성화신호를 비활성화시키기 위한 제2입력단;

상기 파워업신호와 상기 제어신호(pdb)와 상기 오토리프레쉬신호와 상기 클럭질스신호(clk)를 입력받아 파워다운 모드나 오토 리프레쉬 모드나 액티브 모드에서 자연고정루프체인부 내에 있는 복사지연단을 활성화시키기 위한 제3입력단;

상기 제2입력단의 출력과 상기 내부클럭신호를 입력받아 블록의 6 사이클을 카운팅하기 위한 카운터단; 및

상기 제1입력단의 출력신호와 상기 제2입력단의 출력신호를 입력받아 측정활성화신호를 출력하기 위한 출력부

를 포함하여 이루어진 자연고정루프.

청구항 3

상기 제 1 항에 있어서,

상기 제어부는,

상기 딜레이모듈부로부터의 출력된 딜레이신호와 상기 측정활성화신호에 응답하여 상기 딜레이신호의 한 주기에 해당하는 펄스폭을 갖는 제2딜레이신호를 생성하기 위한 제1디플립플롭단;

상기 내부클럭신호와 상기 측정활성화신호에 응답하여 상기 내부클럭신호의 한 주기에 해당하는 펄스폭을 갖는 제2내부클럭신호를 생성하기 위한 제2디플립플롭단; 및

상기 복사지연활성화신호와 상기 내부클럭신호와 상기 쉬프트신호에 응답하여 복사지연활성화신호가 활성화된 후부터 제3내부클럭신호를 생성하기 위한 제3내부클럭생성부

를 포함하여 이루어진 자연고정루프.

청구항 4

상기 제 1 항에 있어서,

상기 쉬프트제어부는,

상기 제2내부클럭신호의 라이징 에지에서 상기 쉬프트리셋신호를 띄우는 펄스생성단; 및

상기 제2내부클럭신호의 폴링 에지에서 상기 쉬프트신호를 띄우는 펄스생성단

를 포함하여 이루어진 자연고정루프.

청구항 5

상기 제 1 항에 있어서,

상기 쉬프트제어부는,

상기 복사지연활성화신호가 상승하는 에지에서 상기 쉬프트리셋신호를 한번 띄우기 위한 펄스생성단;

상기 제2내부클럭신호의 폴링 에지에서 상기 쉬프트신호를 띄우는 펄스생성단; 및

상기 쉬프트신호의 폴링 에지에서 상기 쉬프트리셋신호를 띄우는 펄스생성단

를 포함하여 이루어진 자연고정루프.

청구항 6

상기 제 1 항에 있어서,

상기 자연고정루프체인부는,

상기 제2딜레이신호와 상기 제2내부클럭신호를 입력받아 딜레이시키는 지연체인 측정단;

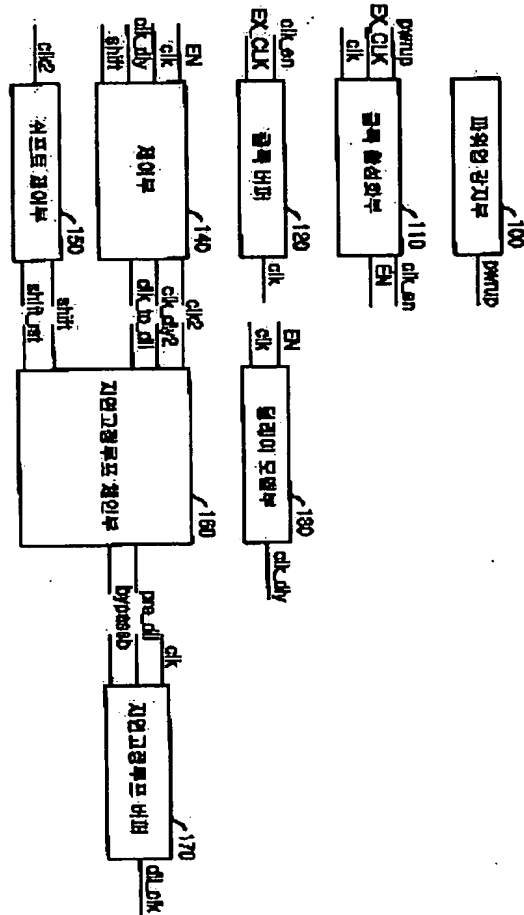
상기 쉬프트신호와 쉬프트리셋신호와 상기 제3내부클럭신호에 응답하여 쉬프팅하는 쉬프트로 구성된 쉬프트 및 록킹단; 및

상기 지연체인 측정단과 같은 딜레이로 이루어진 지연체인복사단

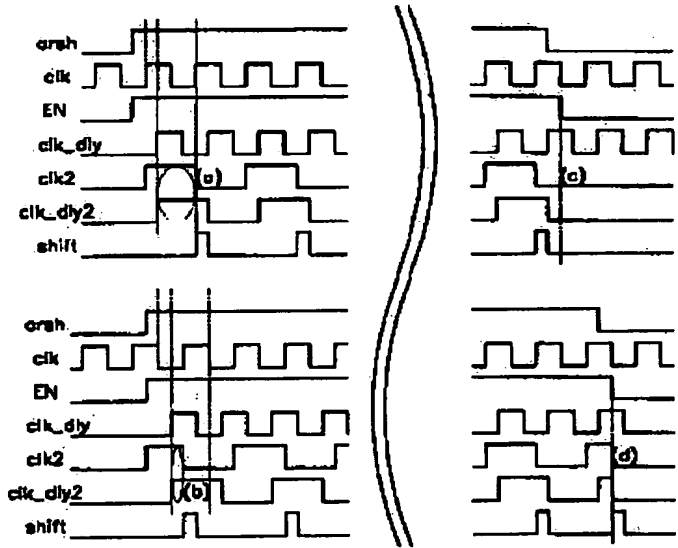
를 포함하여 이루어진 자연고정루프.

도면

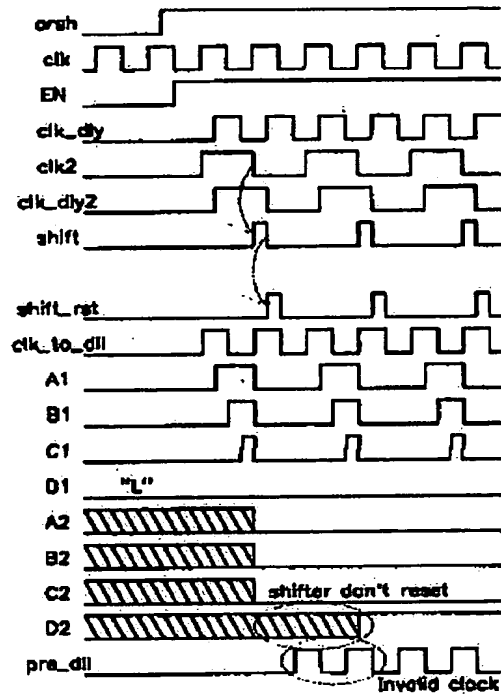
도면 1



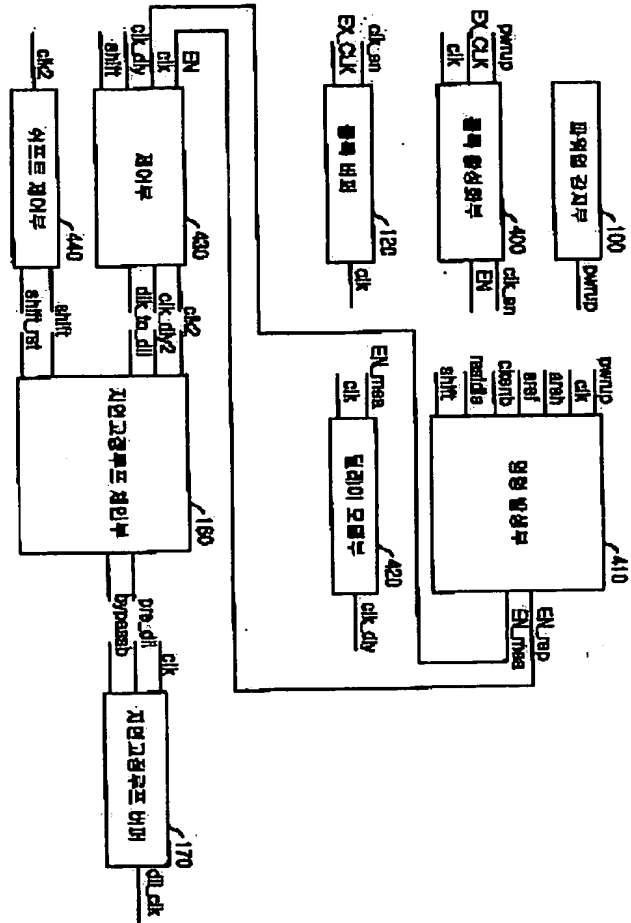
도 192



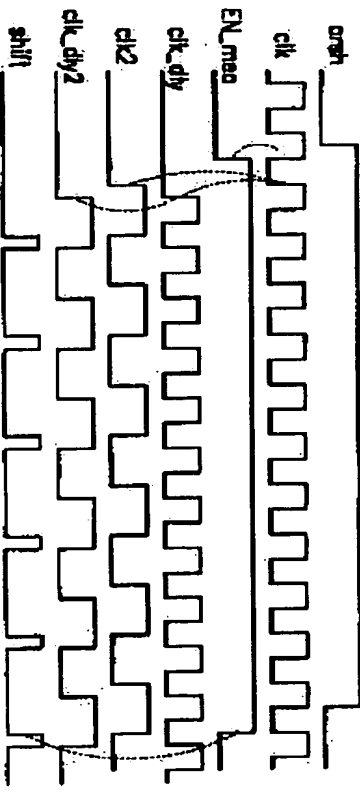
도 3



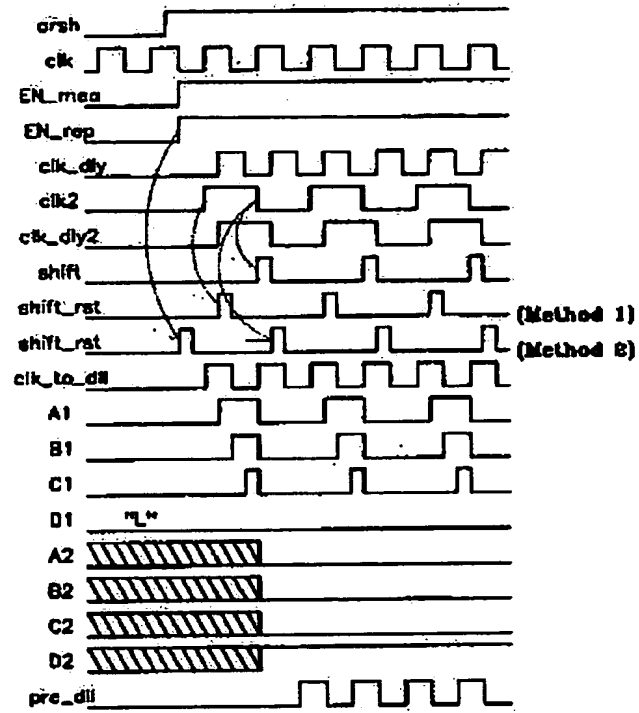
도B4

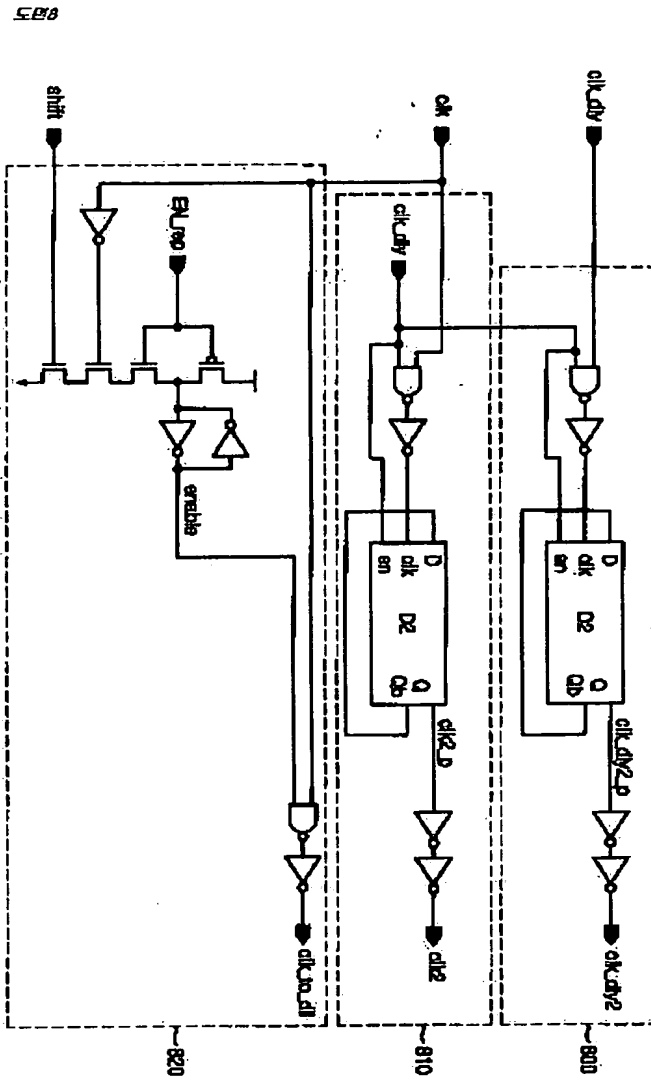


도 15

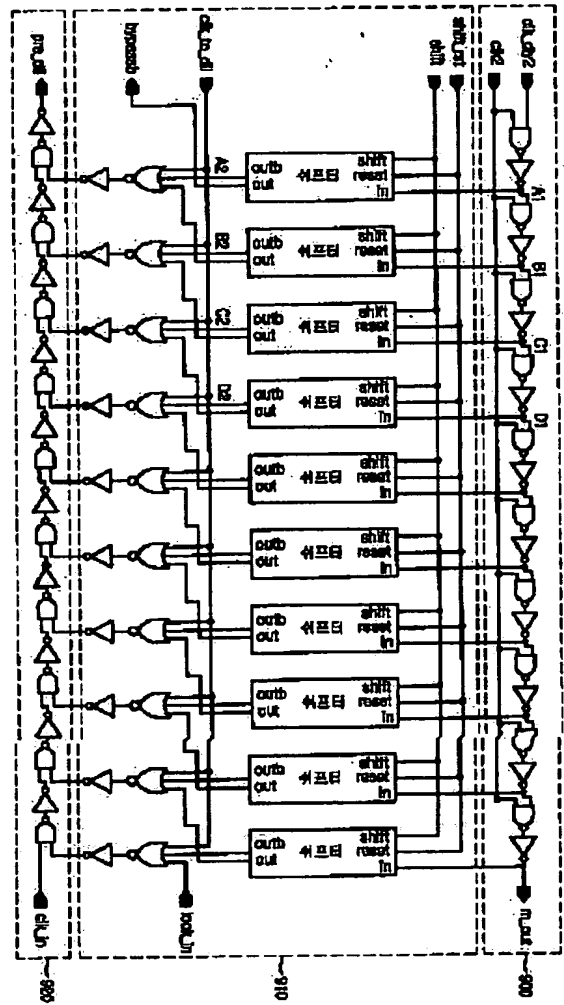


도 10

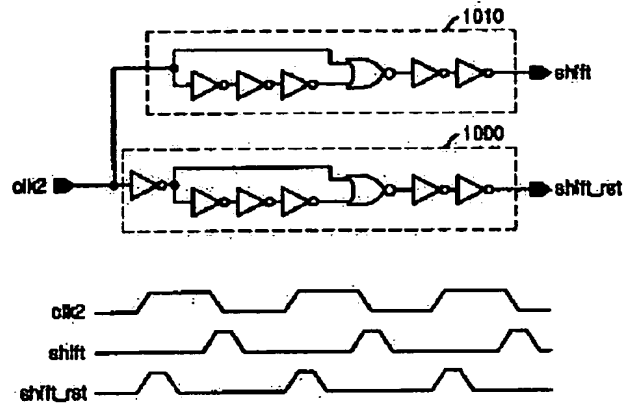




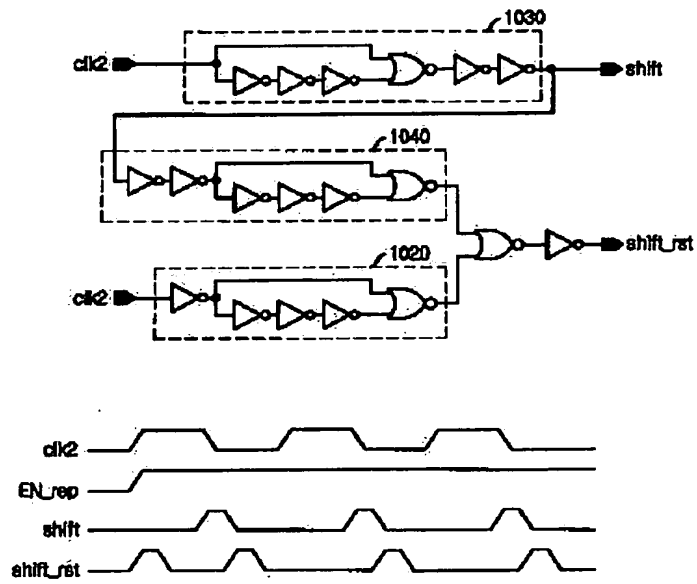
도 15



도면 10a



도면 10b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.